

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-140756

(43) Date of publication of application : 16.05.2003

(51)Int.Cl. G05F 3/26
H03F 3/345

(21)Application number : 2001-332433 (71)Applicant : SANYO ELECTRIC CO LTD

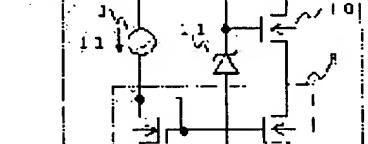
(22)Date of filing : 30.10.2001 (72)Inventor : UCHIYAMA YUJI

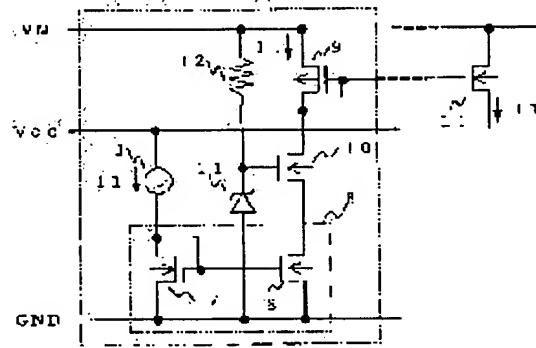
(54) REGULATED CURRENT CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a regulated current circuit for regulating current by using a low power supply voltage, and for converting the regulated current into a regulated high voltage current.

SOLUTION: In a current regulating circuit 1, current I_1 is regulated by using a low power supply voltage V_{cc} , and a current mirror circuit 6 to which the regulated current I_1 is applied is constituted of low voltage MOS transistors 7 and 8 whose threshold voltage by which the transistors turn on is lower than that of a high voltage transistor. A high pressure N channel MOS transistor 10 is disposed between a high pressure transistor 9 to which a high power supply V_M is applied and the transistor 8 of the current mirror circuit 6, and a Zener voltage is applied to the gate of the transistor 10. Thus, it is possible to make the regulated high voltage V_M current flow through the transistor 9 without applying the high power supply voltage V_M to the transistor 8.





LEGAL STATUS

[Date of request for examination] 17.09.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-140756

(P2003-140756A)

(43) 公開日 平成15年5月16日(2003.5.16)

(51) Int.Cl.⁷

識別記号

F I
C 0 5 F 3/26
H 0 3 F 3/345

データカード(参考)
5H420
5J091
5J500

審査請求 未請求 請求項の数1 QL (全 4 頁)

(21)出願番号 特願2001-332433(P2001-332433)

(71)出願人 0000001889

三洋電機株式会社

二、下電機株式会社
大阪府守口市守口本通2丁目6番5号

(22) 出願日 平成13年10月30日(2001.10.30)

(72) 發明者 内山 祐一

内田 錦二
大阪府守口市高阪

大阪府守口市東畝本通2丁目3番3号 三
洋電機株式会社内

(74) 代理人 100111382

100111383

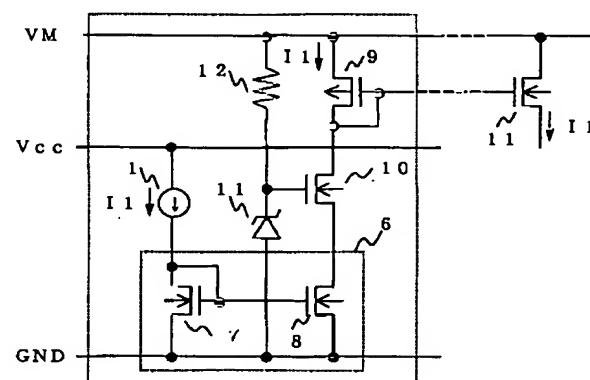
最終頁に綴ぐ

(54) 【発明の名称】 定重流回路

(57) 【要約】

【課題】 低電源電圧を用いて定電流を発生し、その定電流を高電源電圧の定電流に変換する定電流回路を提供することを目的とする。

【解決手段】 定電流発生回路1では、低電源電圧Vcを用いて定電流I1を発生し、その定電流I1が供給されるカレントミラーレンジタ回路6をトランジスタのオンする閾値電圧が高耐圧のトランジスタより低い低耐圧のMOSトランジスタ7及び8で構成する。そして、高電源電圧VMが印加される高耐圧のトランジスタ9とカレントミラーレンジタ回路6のトランジスタ8との間に高耐圧のNチャネルMOSトランジスタ10を設け、トランジスタ10のゲートにはツエナ電圧を印加する。これにより、トランジスタ8に高電源電圧VMがかかることなく、トランジスタ9に高電源電圧VMの定電流が流すことができる。



(2) 003-140756 (P2003-140756A)

【特許請求の範囲】

【請求項1】 第1の電源電圧が印加され、定電流を発生する定電流発生回路と、
低耐圧のMOSトランジスタで構成され、前記定電流を電流反転する電流ミラー回路と、
前記第1の電源電圧より高い第2の電源電圧が印加されると共に、前記電流ミラー回路の出力電流が供給され、外部へ出力する高耐圧のMOSトランジスタと、
前記高耐圧のMOSトランジスタと前記電流ミラー回路との間に設けられ、前記ミラー回路のMOSトランジスタに対して、その耐圧電圧より低い電圧にバイアスするバイアス回路とを備えることを特徴とする定電流回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、低電圧電源を用いて発生した定電流を高電圧電源の定電流に変換する定電流回路に関する。

【0002】

【従来の技術】従来、例えば、プリンタなどの各種機器に使用されるステッピングモータにおいて、モータの回転軸は、モータコイルにパルスを与えることによりステップ（階段）状に回転する。ステッピングモータは、決まった角度だけ回転するので、例えば、プリンタの紙送りに用いるモータやインクヘッドの移動に用いるモータとして好適である。ステッピングモータの駆動方式には、定電流を用いて、モータのコイルに流れる電流を一定にする方式がある。この定電流を用いる駆動方式においては、モータのコイルに、例えば、30Vや50Vという高い高電源電圧VMを印加して、モータの電流を流すコイルの切り替え時に、その切り替えたコイルに流れる電流が所定の定電流の値に短時間で到達するようにしている。つまり、モータの回転軸の移動を速くするために、高電源電圧VMをモータのコイルに印加しているのである。

【0003】一方、モータの駆動タイミング信号などを発生するロジック回路などにおいては、例えば、モータの高電源電圧VMより低い5Vの低電源電圧Vccを用いて、各種タイミング信号などを発生する回路等を動作させている。そして、モータを駆動する駆動ICにおいては、上述のモータのコイルに定電流を供給する駆動出力トランジスタと、モータの駆動タイミングなどの各種信号等を発生するロジック回路などが混載されている。この駆動ICにおいては、モータのコイルに流す定電流を発生する定電流発生回路は、ロジック回路等に用いる電源電圧Vccを用いて定電流を発生している。これにより、定電流発生回路の消費電力を低減している。

【0004】図2は、従来の定電流回路を示す図である。図2において、1は定電流発生回路であって、これをMOSトランジスタ（不図示）で構成した場合、例えば、MOSトランジスタのソースに電源電圧Vccが印

加され、ゲートとドレインとを接続するとドレインの電圧はゲート電圧と等しくなり、MOSトランジスタの性質によりドレイン及びゲートを流れる電流I1はIDSで一定になる。

【0005】2はカレントミラー回路であって、モータの高電源電圧VMが印加されても破壊しない高耐圧のNチャンネルMOSトランジスタ3及び4で構成される。トランジスタ3のゲート及びドレインとトランジスタ4のゲートとは共通接続され、その共通接続点に定電流I1が供給される。すると、トランジスタ4では、トランジスタ3のドレインとソースに流れる定電流I1と同じ電流量を、トランジスタ4のドレインとソース間に流そうと作用する。

【0006】5は高耐圧のPチャンネルMOSトランジスタであって、ソースに高電圧電源VMが接続され、トランジスタ5のゲートとドレインとの共通接続点がカレントミラー回路2のトランジスタ4のドレインに接続される。よって、高耐圧のPチャンネルMOSトランジスタ5では、トランジスタ4に流れる定電流と同じ電流量が流れる。これにより、低電源電圧Vccの定電流I1が、高電源電圧VMの定電流に変換される。

【0007】

【発明が解決しようとする課題】上述の高耐圧のNチャンネルMOSトランジスタ3及び4において、トランジスタ3及び4がオンする閾値電圧Vtは、電源電圧Vccの電圧5Vより低い閾値Vtに設定してある。しかし、トランジスタ3及び4の特性が製造工程等によってばらつくと、そのトランジスタ3及び4の閾値Vtがばらつく場合もあり、低電源電圧Vccに対してさらなる低電圧化が求められ、その低電源電圧Vccを、例えば、3.3Vで使用とすると、高耐圧のトランジスタ3及び4の閾値Vtがばらつくことによって、トランジスタ3及び4の閾値電圧Vtが3.3V以上となり、3.3Vで動作ができないという問題が発生する。

【0008】このため、本発明の課題は、低電源電圧Vccの低電圧化に対応して、低電源電圧を用いて定電流を発生すると共に、その定電流をモータのコイルに流す高電源電圧VMの定電流に変換する定電流回路を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明は、上述した点に鑑みて、創作されたものであり、その特徴とするところは、第1の電源電圧が印加され、定電流を発生する定電流発生回路と、低耐圧のMOSトランジスタで構成され、前記定電流を電流反転する電流ミラー回路と、前記第1の電源電圧より高い第2の電源電圧が印加されると共に、前記電流ミラー回路の出力電流が供給され、外部へ出力する高耐圧のMOSトランジスタと、前記高耐圧のMOSトランジスタと前記電流ミラー回路との間に設けられ、前記ミラー回路のMOSトランジスタに対し

(3) 003-140756 (P2003-140756A)

て、その耐圧電圧より低い電圧にバイアスするバイアス回路とを備えることを特徴とする。

【0010】本発明によれば、低電源電圧V_{CC}を用いて発生した定電流I₁が供給されるカレントミラー回路を低耐圧のNチャンネルMOSトランジスタで構成した、そして、その低耐圧のNチャンネルMOSトランジスタがオンする閾値電圧は一般的に約1V程度であるので、電源電圧V_{CC}を3.3V仕様とすることが可能となる。

【0011】また、高電源電圧V_Mが印加される高耐圧のMOSトランジスタと電流ミラー回路を構成する低耐圧のMOSトランジスタとの間に、高耐圧のMOSトランジスタを設け、低耐圧のMOSトランジスタに対して耐圧より低い電圧にバイアスされるように構成したので、低耐圧のMOSトランジスタのドレイン-ソース間電圧が、耐圧電圧以上とならず、低耐圧のMOSトランジスタの耐圧による破壊を確実に防止できると共に、低電源電圧V_{CC}を用いて発生した定電流を高電源電圧V_Mの定電流に安定して変換することが可能となる。

【0012】

【発明の実施の形態】本発明の詳細を図面に従って具体的に説明する。図1は、本発明の定電流回路の一例を示す図である。

【0013】図1において、1は定電流発生回路であって、モータ電源電圧V_Mより遙に低い低電源電圧V_{CC}が印加されると、定電流I₁が発生する。6はカレントミラー回路であって、低耐圧のNチャンネルMOSトランジスタ7及び8で構成される。トランジスタ7及び8の共通ゲートとトランジスタ7のドレインとの共通接続点では、定電流発生回路1で発生した定電流I₁が供給される。9は高耐圧のPチャンネルMOSトランジスタであって、ソースにはモータの電源である高電源電圧V_Mが印加される。10は高耐圧のNチャンネルMOSトランジスタであって、トランジスタ10のドレインはトランジスタ9のゲート及びドレインの共通接続点に接続され、トランジスタ10のソースはカレントミラー回路6のトランジスタ8のドレインに接続される。

【0014】トランジスタ10のゲートには、ツェナーダイオード11のカソードが接続される。ツェナーダイオード11のアノードはグランドに接続され、カソードには抵抗R₁を介して高電源電圧V_Mが印加される。これにより、ツェナーダイオード11のカソードでは、例えば、5.8Vの一定のツェナーレビュート電圧が発生される。

【0015】なお、高耐圧のトランジスタは、例えば、30Vや50Vという高い高電源電圧V_Mが印加されても破壊しない高耐圧に設計されている。また、低耐圧のトランジスタは、低電源電圧V_{CC}が5Vであっても破壊しない耐圧に設定されるが、一般的に、10V程度より低い低耐圧に設定される。そして、低耐圧のトランジスタの閾値電圧は、一般的に、1V程度に設計されてい

る。

【0016】なお、抵抗R₂は高抵抗であり、ツェナーダイオード11では、ツェナーレビュート電圧を発生できるだけの微小電流が供給されれば良く、その微小電流を保持できる範囲で、抵抗R₂の抵抗値が設定される。

【0017】次に、図1の定電流回路の動作を具体的に説明する。まず、例えば、3.3Vの低電源電圧V_{CC}が投入されると、定電流発生回路1では、その低電源電圧V_{CC}に応じて、定電流I₁が発生する。すると、カレントミラー回路6を構成する低耐圧のNチャンネルMOSトランジスタ7及び8がオンできる閾値電圧V_Tは約1V程度であるので、トランジスタ7では、低電源電圧V_{CC}が3.3Vでオン動作し、定電流I₁が流れる。そして、カレントミラー回路6のトランジスタ8においても、トランジスタ7及び8の共通接続されたゲート電圧に応じて、定電流I₁と同じ電流量の定電流を流そうと作用する。

【0018】よって、モータの高電源電圧V_Mがソースに印加される高耐圧のPチャンネルMOSトランジスタ9では、カレントミラー回路6に流れる定電流I₁の電流量と等しい高電源電圧V_Mの定電流が流れる。また、高耐圧のNチャンネルMOSトランジスタ10のゲートにはツェナーレビュート電圧の5.8Vが印加されているので、トランジスタ10はオンする。

【0019】なお、高耐圧のNチャンネルMOSトランジスタ10がオンする閾値電圧V_Tは3V程度であり、ツェナーレビュート電圧が5.8Vであると、トランジスタ10のソース電圧は、2.8V程度となる。よって、トランジスタ8のドレイン-ソース間電圧V_{DS}は、2.8V程度であり、低耐圧のトランジスタ8の耐圧より十分低い電圧である。

【0020】なお、高耐圧のNチャンネルMOSトランジスタ10のゲートは、ツェナーレビュート電圧が5.8Vでバイアスされているので、トランジスタ10の閾値は3V程度であるので常にオンし、高耐圧のPチャンネルMOSトランジスタ9では、低耐圧のNチャンネルMOSトランジスタ8のドレインからソースへ定電流I₁の電流量を流そうとする作用により、その定電流I₁と同じ電流量の高電源電圧V_Mの定電流が流れる。

【0021】そして、例えば、高電源電圧V_Mがソースに印加される高耐圧のPチャンネルMOSトランジスタ11のゲートをトランジスタ9のゲートとドレインとの共通接続点とに接続すると、トランジスタ9及び11は、高電源電圧V_Mが印加されるカレントミラー回路を構成し、トランジスタ11のドレインから高電源電圧V_Mの定電流I₁が、例えば、モータのコイルに供給される。

【0022】このように、低電源電圧V_{CC}を用いて発生した定電流I₁が供給されるカレントミラー回路6を、トランジスタのオンできる閾値電圧が約1Vの低耐

(4) 003-140756 (P2003-140756A)

圧のNチャンネルMOSトランジスタ7及び8で構成したので、低電源電圧V_{cc}が3.3Vと5Vより低い電圧でも、カレントミラー回路6は確実に動作することができる。

【0023】また、高電源電圧VMが印加される高耐圧のPチャンネルMOSトランジスタ9とカレントミラー回路6の低耐圧のNチャンネルMOSトランジスタ8との間に、高耐圧のNチャンネルMOSトランジスタ10を設けたので、低耐圧のNチャンネルMOSトランジスタ8に高電圧がかからないで、トランジスタ9に高電源電圧VMの定電流を流すことができる。

【0024】また、低耐圧のNチャンネルMOSトランジスタ7及び8がオンできる閾値以上の電圧の低電源電圧V_{cc}であれば、低電源電圧V_{cc}に3.3Vよりさらに低い電圧を用いることによって、さらなる低電圧化が実現できるとともに、消費電力の低減が図れる。

【0025】なお、本発明の実施例では、モータ駆動回路の場合で説明したが、特にモータ回路に限定されるものではないことは言うまでもない。

【0026】

【発明の効果】上述の如く、本発明によれば、トランジスタのオンする閾値電圧が約1V程度と低い閾値の低耐圧のMOSトランジスタ7及び8を用いてカレントミラー回路6を構成したので、3.3Vの低電源電圧V_{cc}を用いても確実にカレントミラー回路6が動作させるこ

とができる。よって、低電源電圧の低電圧化が実現できる。

【0027】また、低耐圧のNチャンネルMOSトランジスタ8と高耐圧のPチャンネルMOSトランジスタ9との間に高耐圧のNチャンネルMOSトランジスタ10を設け、トランジスタ10のゲートにはツェナー電圧を印加しているので、トランジスタ8のソースードレイン間電圧がトランジスタ8の耐圧を超えず、高耐圧のPチャンネルMOSトランジスタ9に高電源電圧VMの定電流を安定して流すことができるという有利な効果が得られる。

【図面の簡単な説明】

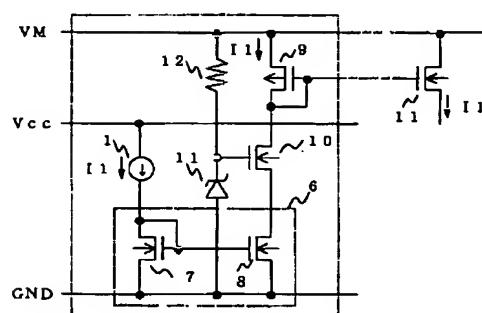
【図1】本発明の低電源電圧を用いて発生した定電流を高電源電圧の定電流に変換する定電流回路の一例を示す図である。

【図2】従来の低電源電圧を用いて発生した定電流を高電源電圧の定電流に変換する定電流回路を示す図である。

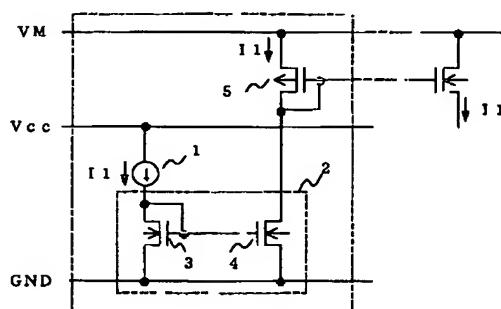
【符号の説明】

- 1 定電流回路
- 6 カレントミラー回路
- 7, 8 低耐圧のNチャンネルMOSトランジスタ
- 9 高耐圧のPチャンネルMOSトランジスタ
- 10 高耐圧のNチャンネルMOSトランジスタ

【図1】



【図2】



フロントページの続き

F ターム(参考) 5H420 NA17 NB03 NB12 NB25 NB27
 NB36 NC02 NC23 NE28
 5J091 AA03 AA59 CA11 CA37 FA01
 HA10 HA17 HA20 HA25 KA05
 KA09 MA22 SA00
 5J500 AA03 AA59 AC11 AC37 AF01
 AH10 AH17 AH20 AH25 AK05
 AK09 AM22 AS00